

## 6 TECHNOLOGIE VAN GEÏNTEGREERDE SCHAKELINGEN

### 6.1 Fabricage van geïntegreerde schakelingen

#### 6.1.1 Gebruikte technieken

Afhankelijk van de opbouw en fabricage van de geïntegreerde schakeling kan men onderscheid maken tussen:

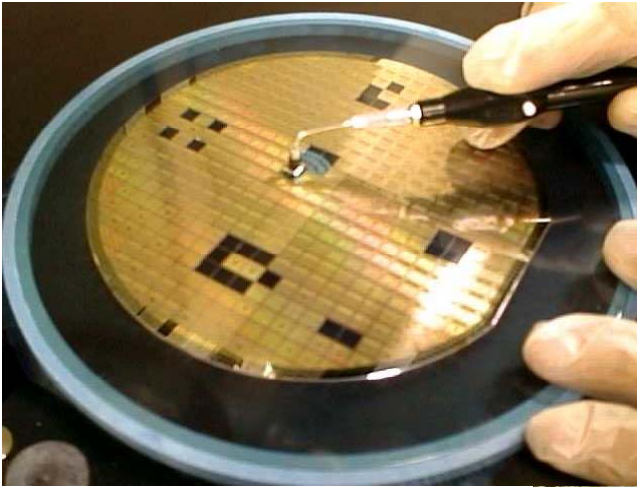
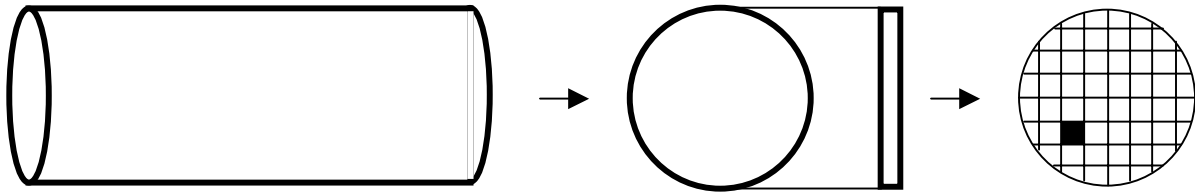
- dunfilmtechniek  
Op een plaatje in glas of keramiek worden de passieve componenten door opdampen (bvb. met koolstof of tantalium) aangebracht. De actieve componenten worden in de vorm van smd's (surface mounted devices) in de schakeling gesoldeerd. De integratiedichtheid blijft hier vrij laag, namelijk circa 20 componenten/cm<sup>2</sup>.
- dikfilmtechniek  
Ook in dit geval vertrekt men van een keramiekplaatje waarop, door zeefdruk, de passieve componenten en de verbindingbanen worden gerealiseerd. Ook hier worden de actieve componenten als discrete componenten aangebracht. De integratiedichtheid is uiterst klein, namelijk circa 10 componenten/cm<sup>2</sup>. Deze techniek wordt bijvoorbeeld toegepast bij geïntegreerde weerstandsnetwerken.
- planaire 'monolitische' opbouw  
Op eenzelfde siliciumplaatje worden zowel de actieve als de passieve componenten aangebracht. Deze fabricagewijze geniet momenteel de voorkeur en maakt een zeer grote integratiedichtheid mogelijk. Deze techniek wordt hieronder, in detail besproken.  
De bouw van een aldus gefabriceerde geïntegreerde schakeling gebeurt in een aantal typische stappen, die naargelang de complexiteit verschillende keren herhaald moeten worden.  
De volgende typische stappen worden verder toegelicht:
  - oxidatie
  - diffusie
  - epitaxie
  - fotolithografie
  - opdampen

#### 6.1.2 De planaire techniek

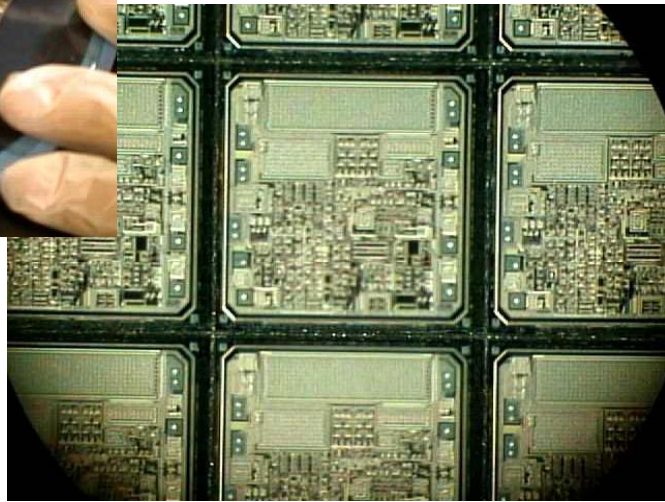
Zoals we reeds vermeld hebben, gaat men uit van silicium als halfgeleidermateriaal. Silicium ontstaat door het smelten van zand. Om er echter halfgeleidercomponenten mee te maken is zeer zuiver en monokristallijn silicium nodig. Een bekende methode om dit te bereiken is deze van Czochralski.

Het silicium wordt hierbij in een kroes in een edelgasatmosfeer d.m.v. hoogfrequent verhitting gesmolten. Een silicium-éénkristal wordt in de smelt gedompeld en er al draaiend uitgetrokken (ong. 1mm/min). De aldus verworven siliciumstaafjes hebben een diameter van 30 tot 150 mm. De staven zuiver silicium die op die manier ontstaan, en eventueel een bepaalde chemische verontreiniging (N of P) meekregen, worden daarna in plaatjes gezaagd van ong. 1mm. Deze plaatjes worden eerst met

diamant en tenslotte chemisch gepolijst, waarna ze een spiegelend oppervlak vertonen.

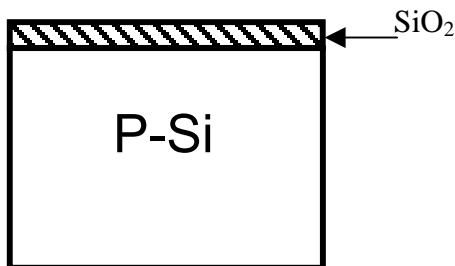


Door rasteren bepaalt men de bruikbare oppervlakte voor iedere component of IC. Zo ontstaan op het siliciumschijfje ('substraat') 10 tot 1000 gelijke schakelingen van enkele mm<sup>2</sup> groot.



We beschouwen nu de verdere mogelijkheden met een dergelijke afzonderlijke "chip", er rekening mee houdend dat in feite alle chips op het schijfje (wafer) dezelfde behandelingen ondergaan.

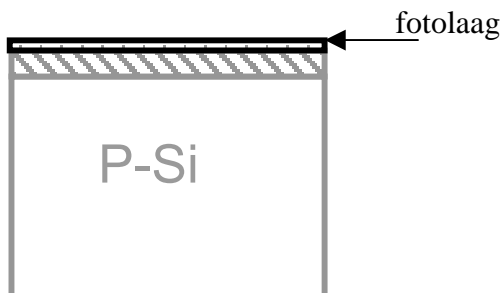
- Oxidatie:



Het substraat wordt in een oven op 1200 °C aan een zuurstofstroom blootgesteld waardoor het silicium oxideert. Na een kwartier is er een laag SiO<sub>2</sub> gegroeid van ongeveer 1 μm. Deze beschermende oxidelaag voorkomt dat dopstoffen in het silicium binnendringen tijdens de volgende stappen.

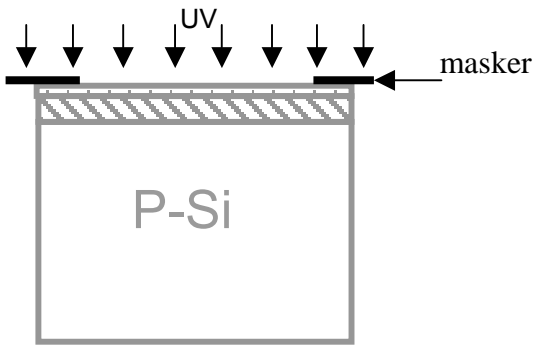
- Fotolithografie:

In de fase van de fotolithografie worden vensters in het oxide geëtst. Op die plaatsen kan het silicium opnieuw gedopeerd worden en zullen de componenten ontstaan.

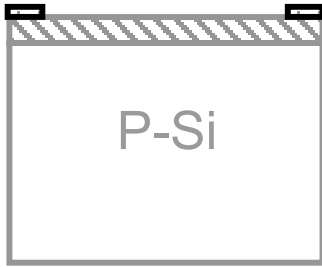


- Fotolaag

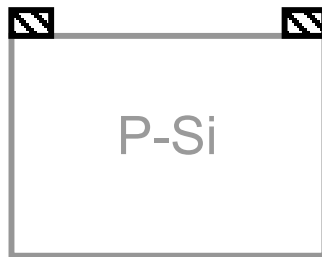
Een lichtgevoelige emulsielaag wordt op het SiO<sub>2</sub> aangebracht (fotorezist). Het is de bedoeling om die laag met UV te belichten en daarna te ontwikkelen.



- Masker plaatsen  
Van de te fabriceren schakeling worden maskers gemaakt die zullen bepalen welk deel van de laag belicht wordt. Ze worden met computers getekend en enkele honderden malen verkleind.



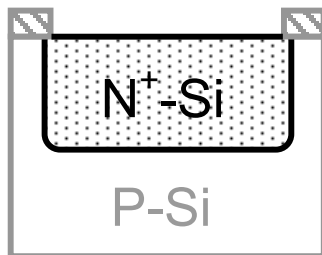
- Wegspoelen  
Positieve fotoresist is na belichting week en spoelt tijdens het ontwikkelen weg. De oxidelaag komt daardoor bloot te liggen.



- Etsen  
Het oxide wordt met fluorwaterstof of met plasma weggeëtsd. De fotoresist beschermt het oxide op de andere plaatsen.

De resten van de fotoresist worden weggespoeld. In het oxide zijn nu inderdaad de vensters ontstaan.

- Diffusie:



In de geëtsde vensters kan nu door een aangepaste diffusietechniek (bvb. epitaxiaal) een N-laag gevormd worden. Dit gebeurt door het diffunderen van As-atomen in de voorheen gevormde P-laag, dat daardoor N-gedopeerd wordt. Daar de verontreiniging sterk is spreekt men van een N<sup>+</sup>-gebied.

We beschikken nu reeds over een PN-junctie, bruikbaar voor junctiedioden.

## Opbouw van de junctietransistor

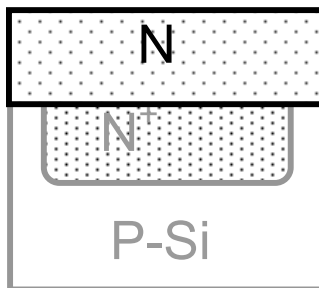
De PN-junctie kan ook gebruikt worden als elementaire opbouw van de junctietransistor.

Deze  $N^+$ -laag of 'Buried-Layer' wordt de collector van een NPN transistor. Door de sterke dopering zal de weerstand van de collector klein zijn. Dit komt goed uit wanneer de transistor als schakelaar gebruikt wordt (zie verder).

Tegenwoordig worden voor het doperen naast diffusie ook betere maar duurdere technieken zoals ionenimplantatie gebruikt waarbij de vreemde atomen in het silicium worden 'geschoten'. Hierop wordt hier niet dieper ingegaan.

- Epitaxie:

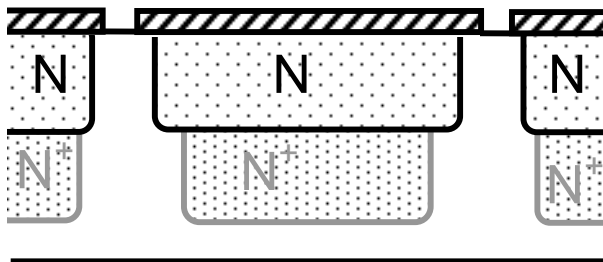
De andere lagen van de transistoren zullen ontstaan in een nieuw N-gebied dat men bovenop het reeds aanwezige siliciumrooster laat groeien. Dit heet epitaxie.



Het oxide wordt volledig verwijderd. Een stroom van siliciumtetrachloride en waterstof die donoratomen bevat passeert het plaatje op 1200 °C. De siliciumatomen uit het gas zetten zich af op het plaatje. Dit proces duurt een kwartier. Per minuut wordt er ong. 1  $\mu\text{m}$  N-silicium afgezet.

- Isolatie-diffusie:

De duizenden transistoren die tezelfdertijd gemaakt worden kunnen uiteindelijk elk in een aparte behuizing komen, of samen een complexe schakeling vormen. In dit laatste geval moeten er maatregelen getroffen worden om ze elektrisch te isoleren van elkaar. Dit gebeurt door de z.g. isolatie-diffusie.

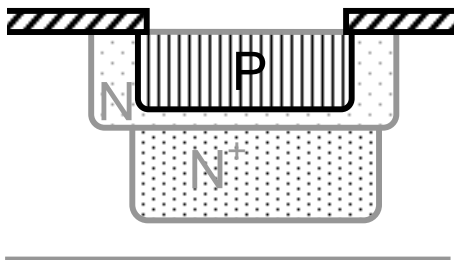


Het plaatje wordt geoxideerd. Er worden vensters geëtst rond de plaatsen van daarnet. Door overdoping met acceptoren verandert het silicium tot op het sub-

straat in P-silicium.

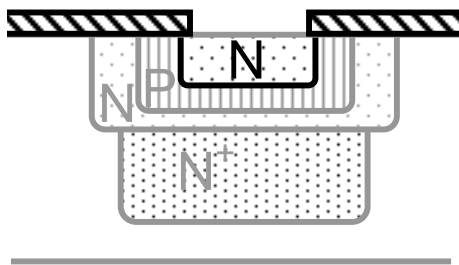
- diffusie van basissen:

In de volgende stappen ontstaan de basissen van de verschillende transistoren.



Het plaatje wordt geoxideerd en er worden opnieuw vensters geëtst. Door overdoping met acceptor-atomen (boor) verandert het N-silicium op die plaatsen in P-silicium.

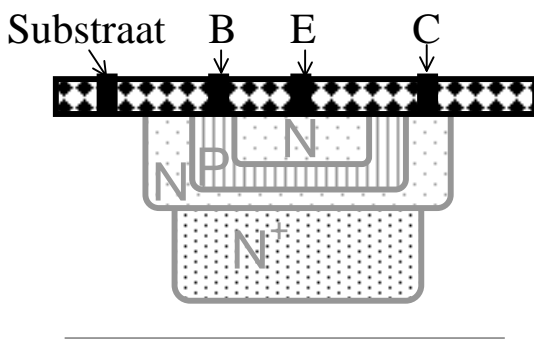
- diffusie van emittoren:  
In de volgende stappen worden de emittors gevormd.



Het plaatje wordt geoxideerd en er worden opnieuw vensters geëtst. Door overdopering met donoratomen (fosfor) verandert het P-silicium terug in N-silicium.

De dikte van de metallurgische basis is uiteindelijk ong. 1  $\mu\text{m}$ .

- contacten opdampen:



In het opdampproces worden er contacten gevormd, waardoor de transistor met de buitenwereld kan verbonden worden. Bij IC's worden nu ook de verbindingsbaantjes tussen de verschillende componenten gemaakt.

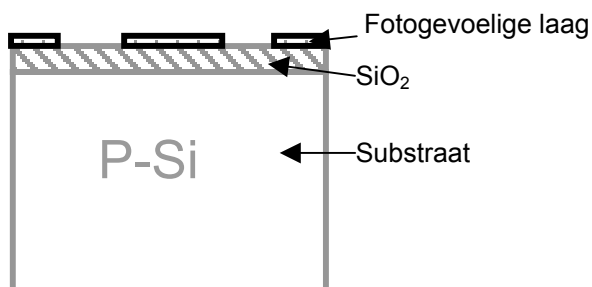
Het plaatje wordt geoxideerd. Overal waar gebieden gevormd zijn worden er vensters geëtst.

Het plaatje gaat in een vacuüm klok waarin zich een kroes met aluminium bevindt. Het aluminium wordt in de kroes verhit, verdampt en slaat neer op de tot ong. 200 °C verwarmde wafer. Het overtollige metaal wordt daarna weggeëtst.

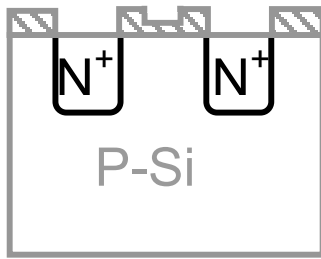
Een temperatuurbehandeling zorgt er voor dat de contacten 'Ohms' zijn en geen diode-eigenschappen vertonen.

#### Opbouw van de mosfet.

- diffusie van de sources en de drains:



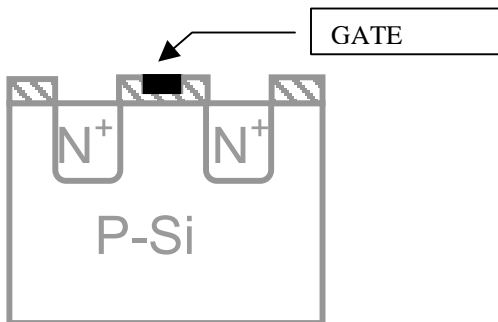
Uitgaande van het fotolitisch voorbereide P-silicium substraat (zoals hiernaast weergegeven) zullen we nu op de plaatsen waar de fotolak werd belicht en weggespoel, het  $\text{SiO}_2$  - laagje weetsen.



sources en drains van de MOSFET's.

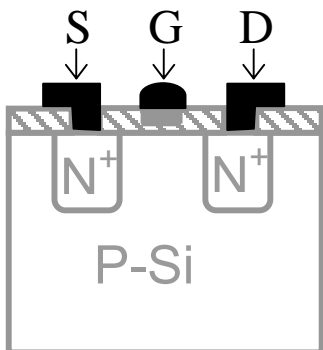
In de door wegeetsen bekomen openingen in het SiO<sub>2</sub> worden nu door het diffunderen van As – atomen in het P-silicium substraat sterk verontreinigde N-silicium gebieden gevormd. We vormen hier de zogenaamde N<sup>+</sup>-silicium zones die zullen dienst doen als de

- Geïsoleerde gate aanbrengen:



In een gedeeltelijk weggeëtsd bakje in het SiO<sub>2</sub> wordt nu een vlakke geleidend metaal (aluminium of polysilicium) aangebracht, dat dienst zal doen als gate. Het acroniem MOS staat dan ook voor '*metal oxide semiconductor*'. De gate is op deze wijze bijna perfect geïsoleerd van de rest van de halfgeleider.

- contacten opdampen:



opdampproces bij de bipolaire transistoren.

Tot slot worden, net als bij de bipolaire transistor, in een opdampproces de contacten gevormd die de verbinding met de buitenwereld moeten garanderen. Gelijktijdig hiermee worden ook de verbindingssbaantjes naar de andere componenten opgedampt. Dit opdampproces verloopt op dezelfde wijze en gelijktijdig met het

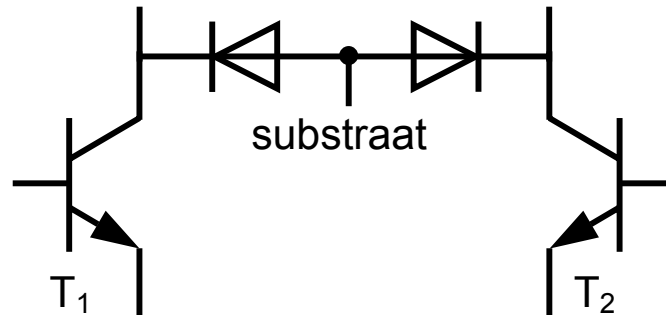
- schakelingen testen:

De schakelingen op het plaatje worden nu automatisch getest, en defecten worden met rode inkt gemarkeerd.

Het plaatje wordt op een elastische film gekleefd, met een diamantbeitel gekrast en in kleine stukjes gebroken. Elk stukje ('chip') bevat een transistor of een complete schakeling. Door de film uit te rekken kunnen de chips er een voor een af genomen worden.

De chipgrootte varieert van  $1 \text{ mm}^2$  tot ong.  $1 \text{ cm}^2$ .

De chip wordt nu op de bodemplaat van zijn behuizing gesoldeerd. De externe aansluitingen worden d.m.v. gouden of aluminium draadjes met de chip verbonden.



### 6.1.3 Het Substraat

Het substraat dat alle transistoren van de schakeling draagt veroorzaakt een ongewenste eigenschap.

Elke transistor is namelijk met dit substraat verbonden via een PN-junctie, ook wel substraatdiode geheten.

Als zo'n substraatdiode in geleiding wordt gebracht werkt de transistor niet. Wellicht sneuvelt hij zelfs door de grote stroom die dan kan vloeien. Dit treedt bijvoorbeeld op als de voeding van een IC omgekeerd wordt aangesloten.

Door het substraat op de meest negatieve potentiaal van de ganse inwendige schakeling te leggen wordt zoiets vermeden. Meestal kan de fabrikant van het IC hier zelf voor zorgen. Bij de meeste digitale schakelingen is dit dan ook reeds gebeurd.

Als vooraf nog niet bekend is welke de meest negatieve potentiaal van de inwendige schakeling wordt, verbindt de fabrikant het substraat met een externe pin. De ontwerper moet deze pin zelf op een zodanige potentiaal zetten dat het substraat niet kan geleiden. Deze situatie komt meer voor bij analoge dan digitale schakelingen, bijvoorbeeld bij IC's die transistorarrays bevatten.

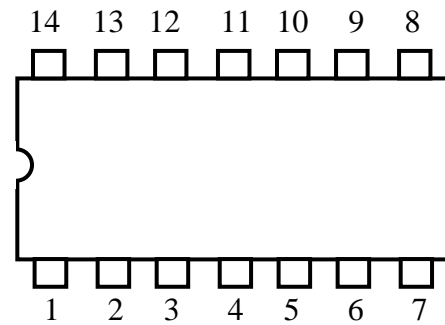
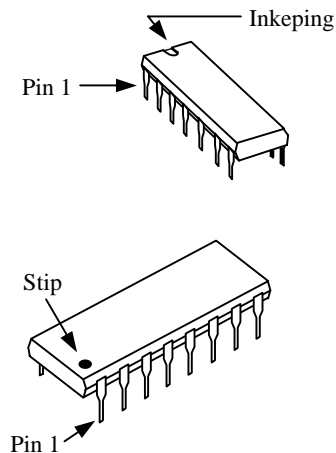
### 6.1.4 Behuizing

De behuizing wordt in een omgeving van droge stikstof hermetisch afgedicht. Het IC wordt opnieuw automatisch getest en uiteindelijk van een stempel voorzien.

Elke behuizing heeft een eigen naam, zoals

- DIL (dual-in-line) :

Zo genoemd omdat de externe aansluitpennen zich in twee tegenover elkaar staande rijen bevinden. De omhulling zelf is van kunststof of keramiek.



14 pins D.I.L. bovenaanzicht

Geïntegreerde schakelingen in DIL-behuizing zijn inplugbaar in IC-voetjes of kunnen rechtstreeks in een schakeling gesoldeerd worden. Dit is de behuizing van de meest populaire digitale IC's.

Het aantal pinnen varieert van 8 tot 64.

- SMD (Surface Mounted Device):

Dit type behuizing is industrieel de meest toegepaste en heeft enkele zeer grote voordelen ten opzichte van de DIL-behuizing, namelijk:

- De componenten worden rechtstreeks op de koperen eilandjes gesoldeerd en vastgelijmd. Er moeten dus geen gaten worden geboord en de assemblage kan volledig automatisch gebeuren.
- SMD-componenten zijn zeer klein waardoor uiterst compacte apparatuur kan gebouwd worden.
- de betrouwbaarheid stijgt
- de kostprijs verlaagt
- beter hoogfrequent gedrag

Het SMD-IC wordt afhankelijk van type en toepassing in verschillende behuizingen geleverd, zoals:

- Small Outline IC (SOIC)

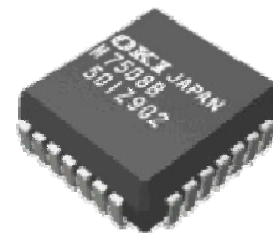


- met pinafstand 1.27 mm (1/2 ")
- Very Small Outline (VSO)
- Shrink Small Outline Package (SSOP)

- Plastic Leaded Chip Carrier (PLCC)

- J-leads → 4zijdig
- QFJ = Quad Flat J-lead

- Quad Flat Pack (QFP)







- Ball Grid Array (BGA)  
Dit is een matrix van soldeerballetjes
  - Chip Size Package (CSP)  
Aansluitingen rechtstreeks op chip
- Metal can:  
Dit is een ronde metalen behuizing met 8 tot 12 pinnen. De montage is vrij omslachtig en daarom minder gebruikt.

## **6.2 Digitale geïntegreerde schakelingen**

### **6.2.1 Complexiteit van de integratie**

De indeling van digitale geïntegreerde schakelingen naar hun complexiteit gebeurt volgens het aantal equivalente poorten waaruit de schakeling is opgebouwd.

Hieronder staan de verschillende categorieën vermeld, met tussen haakjes het jaartal van de eerste realisatie.

- SSI (small scale integration, 1958) Een SSI IC bevat 1 tot 2 poorten.
- MSI (medium scale integration, 1960) Een MSI IC bevat 13 tot 99 poorten.
- LSI (large scale integration, 1964)  
LSI IC's bevatten reeds meer dan 100 poorten, hetgeen overeenkomt met ongeveer 1000 transistoren.
- VLSI (very large scale integration, rond 1970)  
IC's uit deze categorie bevatten meer dan 1000 poorten.  
Microprocessors van de huidige generatie bevatten meer dan 100 miljoen transistoren.

### **6.2.2 Karakteristieken van logische families**

Een logische familie is een verzameling van digitale bouwstenen die in dezelfde techniek zijn uitgevoerd en derhalve gelijkaardige elektrische eigenschappen hebben.

Elke familie onderscheidt zich van de andere door een aantal karakteristieke elektrische gegevens, waarvan de belangrijkste zijn:

- de voedingsspanning
- de logische niveaus
- de storingsgevoeligheid
- de belastbaarheid
- de poortvertragingstijd
- de vermogendissipatie

Bij geïntegreerde digitale schakelingen onderscheidt men twee soorten families:

- bipolaire technologie: met NPN of PNP transistoren
- MOS –technologie: met N – of P – kanaal MOSFET' s en de combinatie CMOS
- Combinatie van beide voorgaande in BiMOS - technologie

Begin de jaren '60 ontstond een reeks geïntegreerde schakelingen die oorspronkelijk opgebouwd werden met bipolaire transistoren waarvan het bouwprincipe hiervoor werd weergegeven. Deze IC' s dragen een code die steeds begint met de cijfers: 74 . . . Hierna komen één of meer letters die een aanduiding geven van de toegepaste technologie. En tenslotte komt een cijfercode die de geïntegreerde schakeling aangeeft.

Vb. 74LS00: 74 → serie  
 LS → low power shottky  
 00 → NAND-poort

In de verdere technologische ontwikkeling van integratie werd in de zogenaamde 74-reeks overgestapt op CMOS – technologie. Deze componenten bevatten dan in hun aanduiding steeds de letter C.

Naar de gebruikte technologie onderscheiden we:

L → low power TTL  
 H → high speed TTL  
 S → shottky TTL  
 LS → low power shottky TTL  
 ALS → advanced low power shottky TTL  
 C → CMOS technology  
 HC → high speed CMOS  
 HCT → high speed CMOS TTL compatible

In het verdere verloop van deze cursus behandelen we uitsluitend CMOS IC' s daar deze op vandaag de meest gebruikte componenten zijn. We zullen naast de zeer populaire 74HC en 74HCT ook de HEF 4000BC MOS families behandelen.

### 6.2.2.1 Voedingsspanning

De fabrikant garandeert zijn gegevens enkel voor zover de voedingsspanning binnen het voorgeschreven gebied ligt. Hij geeft een waarde op die niet mag overschreden worden en soms ook een typische waarde.

	symbool	Gegarandeerde werkspanning			Max. toelaatbare voedingsspanning		eenheid
		min.	typ.	max.	minimum	maximum	
74HC	V <sub>CC</sub>	2.0	5.0	6.0	- 0.5	7.0	V
74HCT	V <sub>CC</sub>	4.5	5.0	5.5	- 0.5	7.0	V
HEF 4000B	V <sub>DD</sub>	3	-	15	-	18	

Als de voedingsspanning meer negatief is dan – 0,5 V kan het substraat in geleiding komen.

### 6.2.2.2 Logische niveaus

Bij digitale schakelingen is niet de spanningswaarde in volt relevant, maar wel haar digitaal niveau.

De fabrikant specificeert 2 digitale niveaus L en H, en het gebied van spanningen dat er mee overeenkomt. Hij garandeert de grenzen van dit gebied zelfs onder de meest ongunstige werkvoorwaarden (worst case).

$V_{ILmax}$  : de hoogste spanning die aan een ingang nog als L niveau telt.

$V_{IHmin}$  : de laagste spanning die aan een ingang nog als H niveau telt.

$V_{OLmax}$  : de hoogste spanning die normaal optreedt op een uitgang in L toestand.

$V_{OHmin}$  : de laagste spanning die normaal optreedt op een uitgang in H toestand.

parameter	74HC	74HCT	HEF 4000BC			eenheid
	$V_{CC}=4,5V$	$V_{CC}=4,5V$	$V_{DD}=5V$	$V_{DD}=10V$	$V_{DD}=15V$	
$V_{ILmax}$	1,35	0,8	1,5	3,0	4,0	V
$V_{IHmin}$	3,15	2,0	3,5	7,0	11,0	V
$V_{OLmax}$	0,1	0,1	0,05	0,05	0,05	V
$V_{OHmin}$	4,4	4,4	4,95	9,95	14,95	V

De logische variabelen 0 en 1 worden aan de digitale variabelen L en H geassocieerd. Daarom spreekt men ook wel van logische niveaus.

De logische functie van een digitale bouwsteen hangt nu nog af van de keuze voor positieve of negatieve logica. Bij positieve logica komt logisch 0 overeen met het L niveau.

De fabrikant specificeert de functies van de bouwstenen van de 74HC, 74HCT en de HEF 4000 families voor positieve logica.

Het is echter mogelijk om de bouwstenen in negatieve logica te gebruiken. De logische functies van de bouwstenen veranderen dan wel (zie hoofdstuk 2). Doordat de fabrikant in de waarheidstabellen digitale i. p. v. logische variabelen gebruikt, zijn de tabellen zowel in positieve als in negatieve logica correct.

### 6.2.2.3 Storingsgevoeligheid

De digitale spanningsgebieden voor L en H aan de ingang van een poort verschillen van die aan de uitgang. Indien dit niet zo ware geweest zouden kleine variaties op de spanningen storingen teweeg kunnen brengen.

Beschouw een uitgang die een andere ingang stuurt. Als de niveaus aan in- en uitgang gelijk gedefinieerd waren is de worst-case conditie onaanvaardbaar. Nu bestaat er bij elk logisch niveau altijd een kleine marge tussen de spanning op de uitgang en de voor dat niveau vereiste spanning op de ingang. Deze marge heet statische storingsafstand (DC noise margin). De waarde hangt af van het logisch niveau.

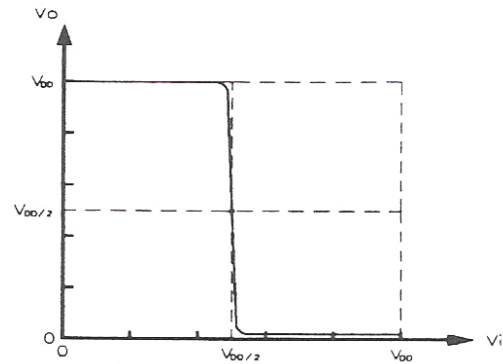
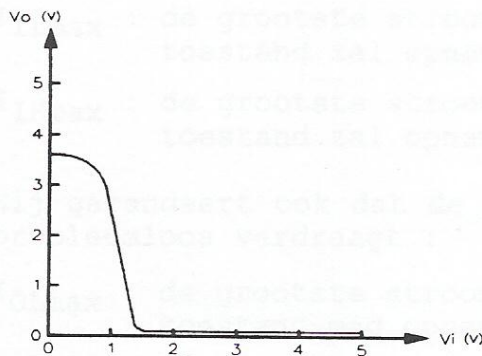
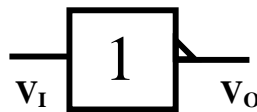
$$\text{laag niveau} : V_{NL} = |V_{OLmax} - V_{ILmax}|$$

$$\text{hoog niveau} : V_{NH} = |V_{OHmin} - V_{IHmin}|$$

parameter	74HC	74HCT	HEF 4000BC			eenheid
	$V_{cc}=4,5V$	$V_{cc}=5V$	$V_{DD}=5V$	$V_{DD}=10V$	$V_{DD}=15V$	
$V_{NL}$	1,25	0,7	1,45	2,95	3,95	V
$V_{NH}$	1,25	2,4	1,45	2,95	3,95	V

In bovenstaande tabel valt het op dat bij de 74HC en de HEF 4000BC reeks de stoorafstanden voor beide niveaus gelijk zijn. Dit is het gevolg van een zeer symmetrische opbouw van de inwendige schakeling, hetgeen ook blijkt uit de transferkarakteristiek van de poorten. Bij de 74 HCT is de stoorafstand asymmetrisch en vrij klein voor  $V_{NL}$  omdat bij deze technologie de compatibiliteit met de TTL reeks moet bewaard blijven.

Hieronder is de transferkarakteristiek afgebeeld van een invertor uit beide reeksen. De karakteristiek geeft het verband weer tussen in- en uitgangsspanning.



De ingangsspanning is beperkt tot de voedingsspanning in de figuren. Het toegelaten bereik is echter groter:

$$74LS \quad : \quad V_I < 7 \text{ V}$$

$$\text{HEF 4000BC:} \quad V_I < V_{DD} + 0,5 \text{ V}$$

## 6.2.2.4 Belastbaarheid

Poorten zijn opgebouwd met transistors. Het sturen van een poortingang vergt daarom altijd een beetje stroom. In de meeste gevallen wordt deze stroom geleverd door een andere poortuitgang.

De verschillende stromen worden als volgt genoteerd:<sup>1</sup>

$I_{IL}$  : de stroom die een ingang in L toestand opneemt

$I_{IH}$  : de stroom die een ingang in H toestand opneemt

$I_{OL}$  : de stroom die een uitgang in L toestand opneemt

$I_{OH}$  : de stroom die een uitgang in H toestand opneemt

De positieve richting voor de stromen is dus altijd naar de poort toe gekozen.

Voor de poortuitgang is elke ingang die ermee verbonden wordt dus een belasting, waardoor het spanningsniveau op het knooppunt wijzigt. Als teveel poortingangen door dezelfde uitgang moeten gestuurd worden, geraakt het niveau in de verboden zone, hetgeen ontoelaatbaar is.

De fabrikant specificeert de 'worst case' waarden voor de ingangsstroom van een poort:

$I_{ILmax}$  : de grootste stroom die een ingang in L toestand zal opnemen

$I_{IHmax}$  : de grootste stroom die, een ingang in H toestand zal opnemen

Hij garandeert ook dat de poortuitgang volgende stromen probleemloos verdraagt:

$I_{OLmax}$  : de grootste stroom die een uitgang in L toestand mag opnemen

$I_{OHmax}$  : de grootste stroom die een uitgang in H toestand mag opnemen

De onderstaande gegevens zijn geldig voor een temperatuur van 25°C. (zie verder)

parameter	74HC	74HCT	HEF 4000BC			eenheid
	V <sub>CC</sub> =4,5V	V <sub>CC</sub> =5V	V <sub>DD</sub> =5V	V <sub>DD</sub> =10V	V <sub>DD</sub> =15V	
$I_{ILmax}$	-0,1	-0,1	-0,3	-0,3	-0,3	μA
$I_{IHmax}$	0,1	0,1	0,3	0,3	0,3	μA
$I_{OLmax}$	25	25	0,36	0,9	2,4	mA
$I_{OHmax}$	-25	-25	-0,36	-0,9	-2,4	mA

<sup>1</sup>Bij MOS gebruikt men ook  $I_{ON}$  en  $I_{Op}$  i.p.v.  $I_{OL}$  en  $I_{OH}$

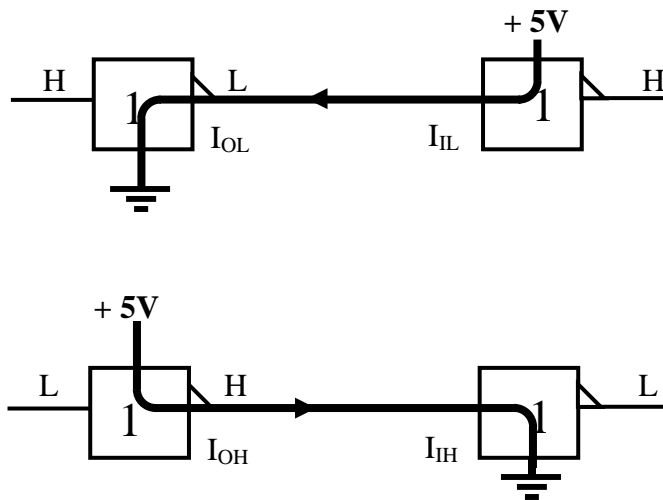
Poorten die meer stroom aan hun uitgang verdragen dan hier vermeld is worden buffers genoemd.

Een negatief teken betekent enkel dat de betreffende stroom van de poort weg vloeit. In het Engels worden de volgende termen gebruikt:

'sink' : stroom opnemen

'source' : stroom leveren

Bij de 74HC/HCT en HEF 4000B families vloeien de werkelijke stromen als volgt:



Uit de voorgaande gegevens kan berekend worden hoeveel ingangen met eenzelfde uitgang mogen verbonden worden. Dit aantal heet fan-out.

$$fan - out = \min \left( \left| \frac{I_{OLmax}}{I_{ILmax}} \right|, \left| \frac{I_{OHmax}}{I_{IHmax}} \right| \right)$$

Narekenen leert dat een 74HC/HCT poort 250.000 andere poorten uit die reeks mag sturen. De fan - out van de HEF 4000BC reeks is 1.466. Deze hoge waarden zijn te wijten aan de lage stroomopname van deze MOS ingangen.

In de praktijk betekent dit dat er met de stroomopname in rust geen rekening moet gehouden worden. T. g. v. de ingangscapaciteit stijgt het stroomverbruik van een MOS-ingang echter lineair met de frequentie (zie verder) .

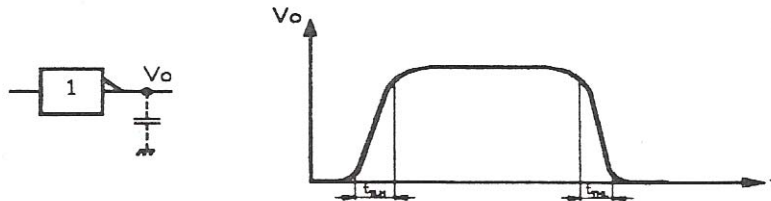
### 6.2.2.5 Poortvertragingstijd

Verplaatsen van ladingen kost tijd. Dit betekent in de praktijk dat er een zekere tijd passeert als de in - of uitgangsspanning van een poort van niveau verandert. De flanken van de spanning zijn niet oneindig steil. Dit wordt uitgedrukt door de stijg- en daaltijd.

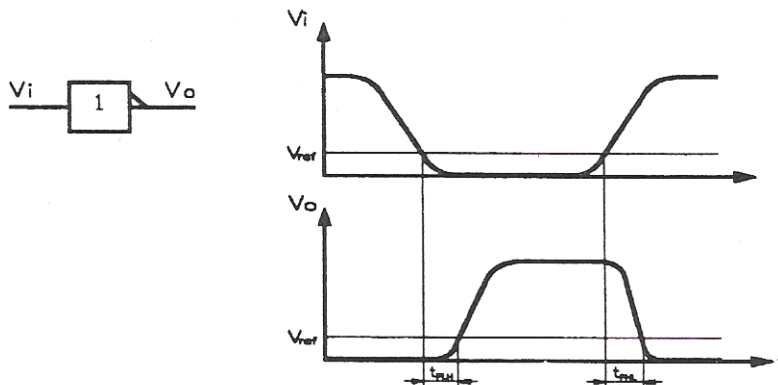
$t_{TLH}$  : de tijd die de spanning nodig heeft om bij een verandering van L naar H van 10% tot 90% van de eindwaarde te stijgen (de stijgtijd).

$t_{THL}$  : de tijd die de spanning nodig heeft om bij een verandering van H naar L van 90% tot 10% van de beginwaarde te dalen (de daaltijd) .

Deze tijden nemen toe als het punt waar de spanning gemeten wordt meer capacitef belast wordt.



Daarnaast verloopt er een zekere tijd gedurende de welke de uitgang van een poort niet reageert terwijl de ingangen toch reeds van niveau veranderd zijn. Deze tijd heet 'propagation delay' of poortvertragingstijd en wordt genoteerd als  $t_{pLH}$  en  $t_{pHL}$ . De subindex geeft aan in welke richting de poortuitgang verandert. De meting gebeurt t.o.v. een gekozen referentieniveau  $V_{ref}$ .



Volgende getalwaarden zijn typisch. Ze zijn gemeten bij een belaste poort. Voor de 74HC/HCT reeks is de belasting 15 pF // 2k $\Omega$  ; voor de HEF 4000BC reeks 50 pF // 200 k $\Omega$ .

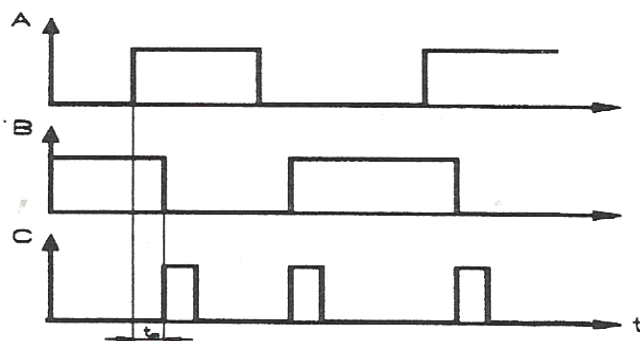
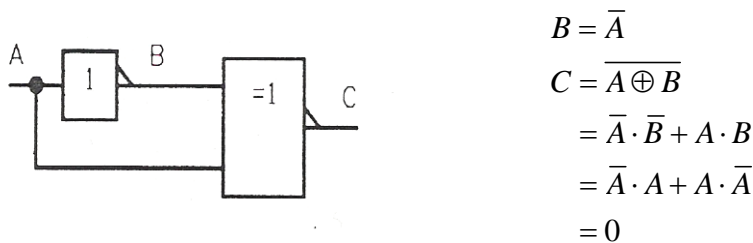


parameter	74HC	74HCT	HEF 4000BC			eenheid
	$V_{CC}= 4,5\text{ V}$	$V_{CC}= 5\text{ V}$	$V_{DD}= 5\text{ V}$	$V_{DD}= 10\text{ V}$	$V_{DD}= 15\text{ V}$	
$t_{TLH}$	19	29	90	50	40	ns
$t_{THL}$	19	29	90	50	40	ns
$t_{pLH}$	23	24	85	40	30	ns
$t_{pHL}$	23	24	120	50	35	ns

De booleaanse algebra houdt met de poortvertragingstijd geen rekening. De onverwachte resultaten waartoe dit leidt worden soms nuttig toegepast.

Onderstaande schakeling lijkt zinloos omdat de uitgang volgens de booleaanse algebra steeds op 0 blijft.

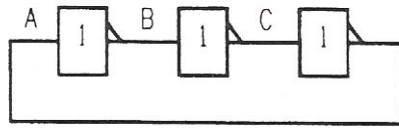
In werkelijkheid is het een frequentieverdubbelaar.



De stijg- en daaltijden zijn in het impulsdiagram voor de eenvoud verwaarloosd.

De volgende schakeling suggereert een conflict omdat de uitgangen gelijktijdig op 0 en 1 willen staan.

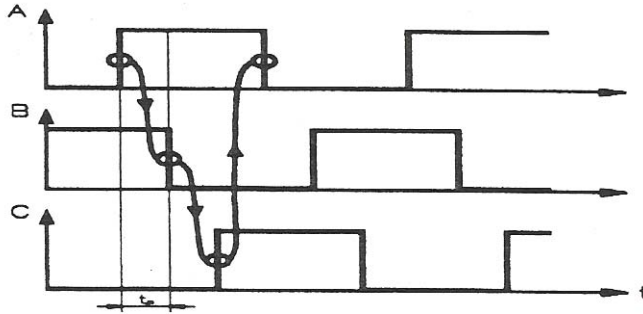
In werkelijkheid is het een oscillator.



$$B = \bar{A}$$

$$C = \bar{B} = A$$

$$A = \bar{C} = B = \bar{A}$$



De pijltjes geven oorzaak en gevolg aan.

De gemiddelde poortvertragingstijd  $t_{pd}$  is

$$t_{pd} = \frac{t_{pLH} + t_{pHL}}{2}$$

$t_{pd}$  kan berekend worden uit de oscillatieperiode  $T$  en het aantal invertors  $N$  dat in cascade is geplaatst.

$$t_{pd} = \frac{T}{2.N}$$

## 6.2.2.6 Vermogendissipatie

Een logische poort verbruikt zoals elke elektronische schakeling een bepaald rustvermogen. Dit vermogen kan afgeleid worden uit de ruststroom van het IC. Deze ruststroom is sterk afhankelijk van de gebruikte technologie en de voedingsspanning. In onderstaande tabel worden de door de fabrikant gegarandeerde maximumwaarden van de ruststroom voor enkele types componenten weergegeven (temperatuurgebied: -40°C tot 85°C).

parameter	74HC	74HCT	HEF 4000BC			eenheid
	$V_{DD} = 4,5 \text{ V}$	$V_{DD} = 5 \text{ V}$	$V_{DD} = 5 \text{ V}$	$V_{DD} = 10 \text{ V}$	$V_{DD} = 15 \text{ V}$	
$I_{DDmax}^2$	20	20	7,5	15	30	$\mu\text{A}$

De ruststroom is ook afhankelijk van het poorttype. Daarom zijn in de tabel ter vergelijking IC's gekozen die 4 basispoorten bevatten van de betreffende familie. Voor de diverse families werd steeds een component met 4 NAND - poorten gekozen.

De ruststroom  $I_P$  van elke poort is dan de totale ruststroom  $I_{DD}$  gedeeld door 4. Het vermogen dat elke poort in rust verbruikt is het product van de voedingsspanning en de ruststroom van de poort. Daarom gebruikt men om logische families met elkaar te vergelijken meestal het gemiddeld poortvermogen  $P_P$ .

Waarbij:

$$P_P = \frac{V_{DD} \cdot I_{DD}}{4}$$

parameter	74HC	74HCT	HEF 4000BC			eenheid
	$V_{DD} = 4,5 \text{ V}$	$V_{DD} = 5 \text{ V}$	$V_{DD} = 5 \text{ V}$	$V_{DD} = 10 \text{ V}$	$V_{DD} = 15 \text{ V}$	
$P_P$	90	100	9,4	38	112	W

De bijdrage tot het totale poortvermogen t.g.v. haar ruststroom neemt iets meer dan lineair toe i.f.v. de voedingsspanning.

Een andere reden is het schakelen zelf. Als de uitgang van een poort met een bepaalde frequentie van niveau wisselt stijgt het opgenomen vermogen, omdat de uitgangstransistoren van de poort tijdens alle stijg- en daaltijden van de uitgangsspanning in hun actief gebied vertoeven en dus vrij veel dissiperen.

De bijdrage tot het totale poortvermogen t.g.v. van het schakelen neemt ongeveer kwadratisch toe i.f.v. de voedingsspanning en lineair i.f.v. de frequentie.

<sup>2</sup> waarden per IC

Bij MOS families wordt het poortvermogen volledig door beide factoren bepaald. De tweede en belangrijkste factor is trouwens te wijten aan de poortcapaciteiten die de poortuitgangen zwaar belasten.

Het totale vermogen wordt gedissipeerd (d.i. in warmte omgezet). Slechte afvoer van deze warmte doet de chiptemperatuur stijgen. Dit vermogen bepaalt dus de minimale afmetingen van de chip. Hoe kleiner het is, hoe dichter de componenten bij elkaar mogen geplaatst worden op de chip.

#### HE 4000B familie

SYMBOL	PARAMETER	CONDITIONS	MIN.	TYP.	MAX.	UNIT
P <sub>tot</sub>	Power dissipation per package HEF (plastic and ceramic DIL)	T <sub>amb</sub> = -40 to +70 °C T <sub>amb</sub> = +70 to +85 °C			750	mW
			derate linearly with 12 mW/K			
	HEF (plastic SO mini-pack)	T <sub>amb</sub> = -40 to +70 °C T <sub>amb</sub> = +70 to +85 °C			500	mW
			derate linearly with 8 mW/K			
	HEC (ceramic DIL)	T <sub>amb</sub> = -55 to +70 °C T <sub>amb</sub> = +70 to +125 °C			500	mW
			derate linearly with 8 mW/K			
P	Power dissipation per output		-	-	100	mW

#### 74HC/HCT

SYMBOL	PARAMETER	CONDITIONS	MIN.	TYP.	MAX.	UNIT
P <sub>tot</sub>	power dissipation	T <sub>amb</sub> = -40 to +125 °C	-		500	mW

Bij hoge omgevingstemperaturen wordt de geproduceerde warmte slecht afgevoerd. Bij te lage temperaturen verdwijnt het transistor-effect waardoor de poort ook slecht zal werken.

Daarom geeft de fabrikant een veilig werkgebied op voor de omgevingstemperatuur T<sub>amb</sub> (°C).

## 6.3 MOS families

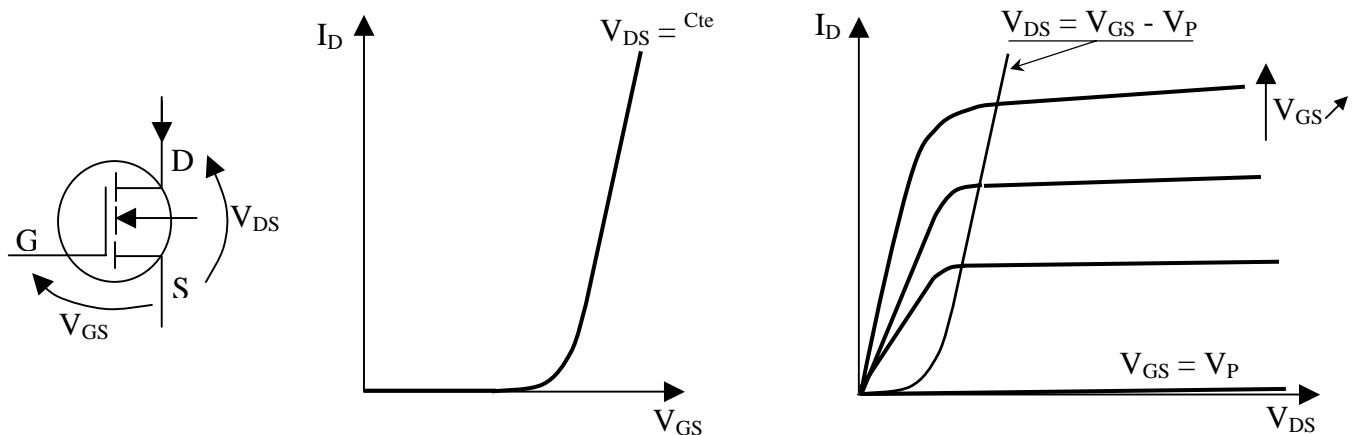
### 6.3.1 Eigenschappen van MOSFET 's

Bij de N-kanaal MOSFET spelen enkel elektronen mee in het ladingstransport; bij het P-kanaal type enkel gaten. Bijgevolg is de N-kanaal MOSFET een snellere schakelaar dan de P-kanaal MOSFET.



De MOSFET komt slechts in geleiding wanneer de ingangsspanning de drempelwaarde  $V_p$  overschrijdt. In digitale schakelingen worden enkel verrijkingstypes gebruikt.

Hieronder staan de karakteristieken van een N-kanaal MOSFET van het verrijkingstype ( $V_p > 0$ ,  $I_{DSS} = 0$ ).



De statische uitgangsweerstand  $R_O$  varieert als volgt:

- $V_{GS} < V_p$  :  $R_O$  zeer groot ( $> 100 \text{ M}\Omega$ );
- $V_{GS} > V_p$  en  $V_{DS} = 0$  :  $R_O$  klein (rond  $1 \text{ k}\Omega$ );
- $V_{GS} > V_p$  en  $V_{DS} > V_{GS} - V_p$  :  $I_D \approx C^{te}$ ;  $R_O$  groot (rond  $1 \text{ M}\Omega$ ).

De MOSFET is spanningsgestuurd. De ingang gedraagt zich door de geïsoleerde gate immers zuiver capacitief.

Door de hoge ingangsimpedantie bouwt een kleine lading een hoge 'gate'-spanning op. Aanraking kan reeds doorslag veroorzaken. Daarom worden er (zener)diodes aangebracht die de 'gate'-spanning clampen als ze te hoog wordt.

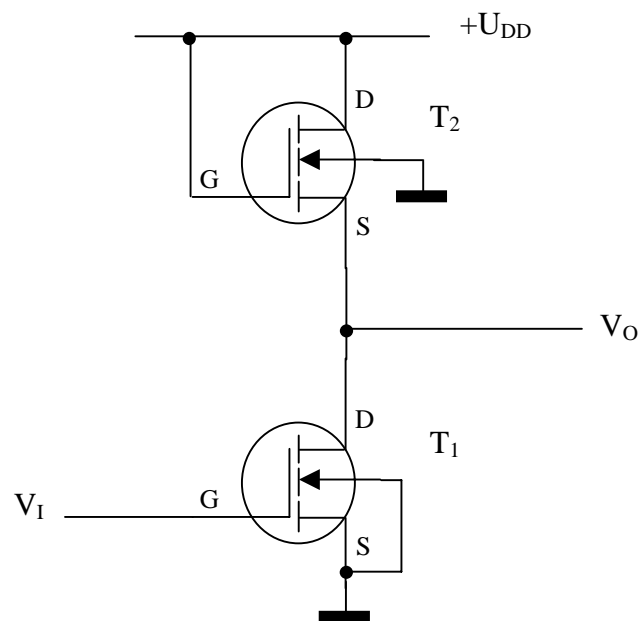
Bij gebruik van MOSFET 's worden hoge integratiedichtheden, alsook met een laag verbruik, gerealiseerd. De MOSFET leent zich daardoor voor LSI (en hoger) .

### 6.3.2 De P-MOS en N-MOS families

Bij de P-MOS familie worden uitsluitend P-kanaal MOSFET 's (van het verrijkingstype) gebruikt; bij de N-MOS familie uitsluitend N-kanaal MOSFET 's (van het verrijkingstype) .

Tegenwoordig worden alle LSI circuits in N-MOS uitgevoerd wegens de hogere integratiedichtheid en schakelsnelheid.

Hieronder staat het schema van een N-MOS invertor.

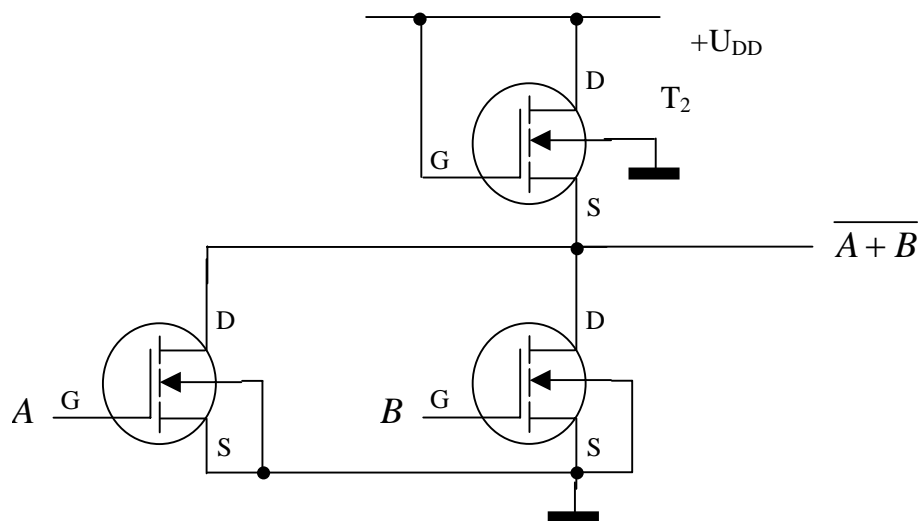


Als  $V_I < V_p$  spert  $T_1$ . De statische uitgangsweerstand van  $T_1$  is zeer groot; die van  $T_2$  klein. De ruststroom is nagenoeg nul. De uitgangsspanning is ongeveer  $V_{DD}$ .

Als  $V_I > V_p$  geleidt  $T_1$ . De statische uitgangsweerstand van  $T_1$  is klein; die van  $T_2$  groot. De voeding levert een kleine ruststroom. De uitgangsspanning is ongeveer nul.

Daar de logische niveau' s ver uit elkaar liggen is de statische stoorafstand groot en de storingsgevoeligheid bij gevolg laag. De max. uitgangsstroom van de poort is klein ( $< 1$  mA). Het poortverbruik in rust is gering. Tijdens het schakelen komen  $T_1$  en  $T_2$  samen in geleiding en stijgt de opgenomen stroom. Het poortverbruik stijgt daardoor lineair met de frequentie.

Uit de invertor wordt de NOR-poort gemakkelijk afgeleid. (De lezer gelieve de werking ervan zelf na te gaan.)

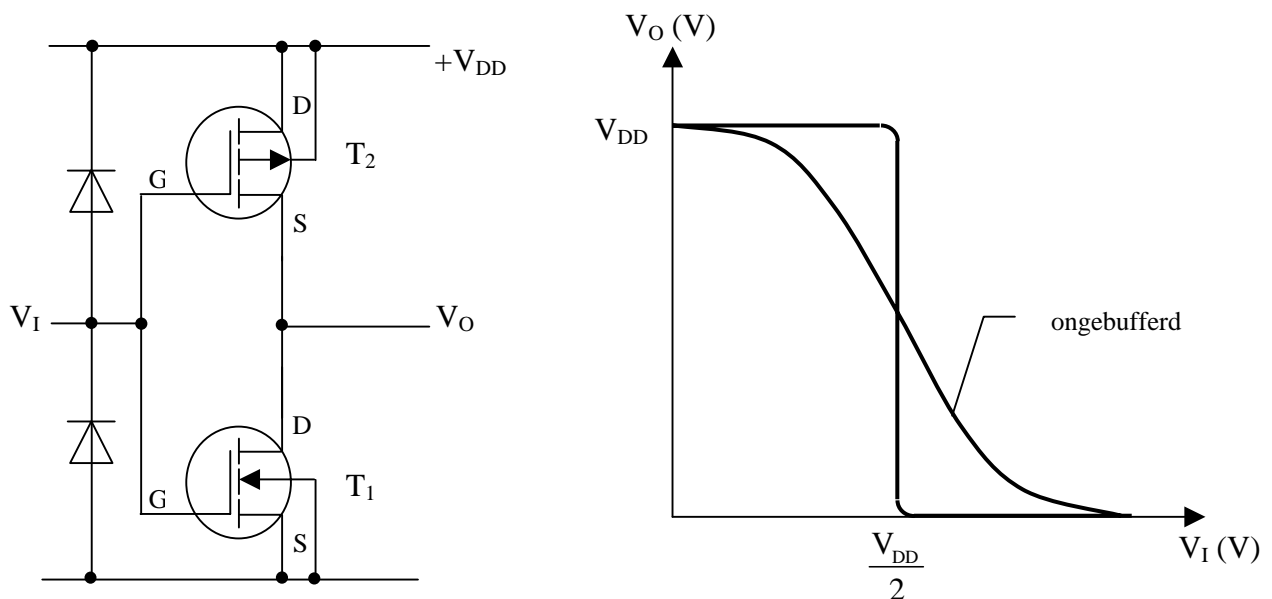


### 6.3.3 De C(omplementaire) MOS familie

In de CMOS familie worden N-kanaal en P-kanaal MOSFET 's van het verrijkingstype met elkaar gecombineerd. Alhoewel de integratiedichtheid niet zo hoog is als bij N-MOS biedt CMOS toch het voordeel van een zeer laag verbruik, een hoge schakelsnelheid en een tussen 3 V en 15 V vrij te kiezen voedingsspanning  $V_{DD}$ .

In deze tekst wordt de populaire 74HC, 74HCT en 4000BC reeks toegelicht. De 74HC/HCT-reeks is betreffende de pinfunctie compatibel met de TTL-reeks 74F. De 74HCT is echter volledig pin-compatibel met deze TTL-reeks, hetgeen volledig te wijten is aan de opbouw van de in- en uitgangspoorten. De 4000-reeks is en volledig op zichzelf staande reeks die niet compatibel is met andere reeksen doch zuiver in CMOS is opgebouwd ook aan de in- en uitgangen.

Hieronder staat het schema van de CMOS invertor en de bijhorende transferkarakteristiek (zie ook par. 6.2.2.3).



Als de ingang laag is geleidt  $T_2$  en spert  $T_1$ . De spanning op de uitgang is nagenoeg gelijk aan de voedingsspanning.

Als de ingang hoog is spert  $T_2$  en geleidt  $T_1$ . De spanning op de uitgang is nu bijna gelijk aan 0 V. Daar er slechts 1 transistor tegelijk geleidt zijn ruststroom en poortverbruik zeer laag. De invertor verbruikt typisch 10 nW.

De max. uitgangsstroom is kleiner dan 1 mA. Nochtans is de fan-out zeer groot omdat de ingang stroomloos is.

In de praktijk wordt de fan-out beperkt tot 50. Als de uitgang schakelt moet de gatecapaciteit (10 pF) van de volgende poort immers op- of ontladen worden. De clampdiodes voorkomen gate-doorslag t.g.v. statische lading.

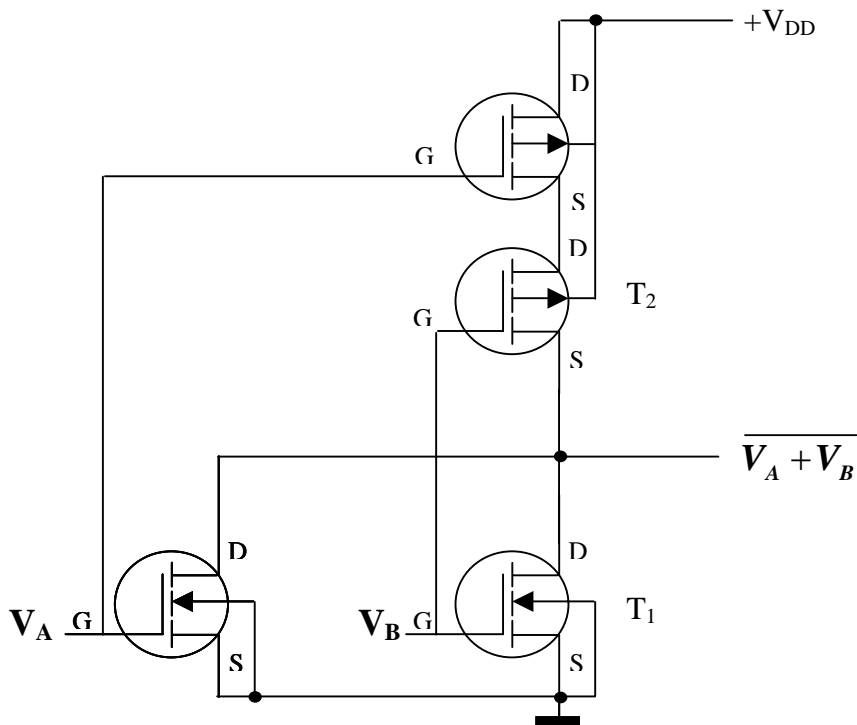
De transferkarakteristiek weerspiegelt de symmetrische opbouw (de precieze vorm hangt een beetje af van  $V_{DD}$ ).

De karakteristiek verslecht als de invertor belast wordt. Daarom wordt de uitgang meestal extra gebufferd. Bij de 4000BC-reeks is dit het geval (bij de 4000A niet).

uit de transferkarakteristiek kan afgeleid worden dat de statische stoorafstand typisch  $0,45 \cdot V_{DD}$  is.

Gebufferde CMOS is dus zeer weinig storingsgevoelig.

Uit de invertor wordt opnieuw de NOR-poort afgeleid. De beveiligingsdiodes zijn niet getekend.





Het is ontoelaatbaar om de uitgangen van CMOS poorten met elkaar te verbinden. Ook hier bestaan er three-state uitgangen om dit probleem op te lossen.

Een merkwaardige poort is de bilaterale schakelaar, die zich als een schakelaar voor analoge signalen gedraagt. Het schema staat hieronder. (Een 4016BC bevat er vier.)

Als E hoog is geleiden beide MOSFETs. De aan-weerstand is ong. 1000. Het spanningsverschil tussen in- en uitgang is nagenoeg nul; in- en uitgang zijn ook gelijkwaardig. In beide richtingen mag er stroom vloeien.

Als E laag is sperren beide MOSFETs. De uit-weerstand van het element is nu zeer groot ( $> 50 \text{ MO}$ ).

De poort verbruikt in rust typisch 75 pW en introduceert 0,5 % vervorming. De max. schakel frequentie is 10 MHz. Een gesperd element heeft bij 1,25 MHz een verzwakking van 50 dB tussen in- en uitgang.

### 6.3.4 Enkele ontwerpsregels bij CMOS

De spanning op de geïsoleerde gate van MOSFETs kan t.g.v. statische ladingen zo hoog oplopen dat doorslag optreedt.

Nu is elke poort intern wel voorzien van clamp-diodes die de gatespanning beperken, maar zo'n diode (en daarmee heel het ic) kan op haar beurt beschadigd geraken door te grote stromen. Deze situatie komt voor als de poort gestuurd wordt door een laagohmige spanningsbron en de voedingsspanning per ongeluk wegvalt. Vandaar dat externe aansluitklemmen van een print nooit rechtstreeks op CMOS ingangen mogen toekomen. Er moet tenminste een weerstand in serie opgenomen worden. De meeste poorten zijn reeds door de fabrikant van complete beschermingsnetwerken voorzien. Desondanks kunnen externe netwerken nodig zijn omdat de trage interne diodes geen effectieve bescherming bieden bij hoge frequenties.

Als de serieweerstand te groot is ontstaan ernstige RC vertragingstijden. Als hij te klein is kan een ongewenst verschijnsel optreden. In het steeds aanwezige substraat ontstaan namelijk PNP-structuren die reeds door kortstondige stromen van 10 mA kunnen getriggerd worden. De kortsluiting die daarbij tussen VDD en GND ontstaat blijft duren tot de voedingsspanning wordt weggenomen of het ic sneuvelt (de z.g. **latch-up**).

De voedingsspanning van CMOS mag tussen 3V en 15V liggen. Spanningsstabilisatie is bijgevolg niet strikt nodig.

De eisen aan de printbanen zijn minder zwaar dan bij TTL wegens de kleine ingangsstromen. Het is ook niet nodig om elk ic te voorzien van een eigen ontkoppelcondensator.

Niet-gebruikte ingangen mogen niet zwevend blijven, maar moeten met GND of VDD verbonden worden.

Tijdens het werken aan MOS schakelingen is het verstandig om een geaarde armband te dragen (ondanks de interne beschermingsnetwerken).